

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-124739

(43)Date of publication of application : 28.04.2000

(51)Int.Cl. H03B 21/00
H03B 28/00
H03L 7/18

(21)Application number : 10-294015

(71)Applicant : KYOCERA CORP

(22)Date of filing : 15.10.1998

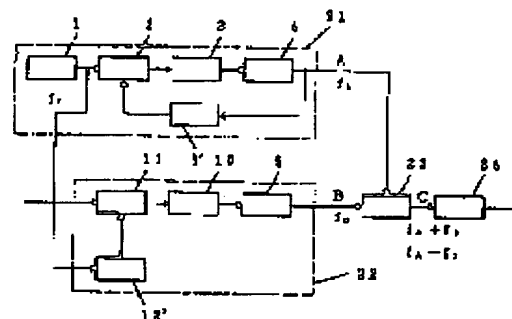
(72)Inventor : YOSHIDA YASUYUKI

(54) FREQUENCY SYNTHESIZER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a frequency synthesizer suitable for radio communication equipment for switching the signals of plural frequencies and performing transmission and reception capable of output to a high frequency while shortening channel changeover time.

SOLUTION: This frequency synthesizer is composed of a first oscillation part 21 using a phase synchronization circuit for outputting the first frequency signals A of a fixed frequency f_A , a second oscillation part 22 using a digital direct oscillator for outputting the second frequency signals B of a variable frequency f_B corresponding to frequency setting data signals inputted from the outside in synchronism with the first frequency signals A, a frequency mixer 23 for inputting the first and second frequency signals A and B and outputting mixed frequency signals C provided with the frequencies of the sum and difference of the fixed frequency f_A and the variable frequency f_B and a band-pass filter 24 for passing through one of the frequencies of the sum and the difference among the mixed frequency signals C. The second oscillation part 22 is synchronized by using the reference frequency signals of the first oscillation part 21.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-124739

(P2000-124739A)

(43)公開日 平成12年4月28日(2000.4.28)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テーマコード(参考) |
|--------------------------|------|---------------|------------|
| H 0 3 B 21/00 | | H 0 3 B 21/00 | 5 J 1 0 6 |
| 28/00 | | 28/00 | B |
| H 0 3 L 7/18 | | H 0 3 L 7/18 | Z |

審査請求 未請求 請求項の数1 O L (全 9 頁)

(21)出願番号 特願平10-294015

(22)出願日 平成10年10月15日(1998.10.15)

(71)出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72)発明者 吉田 康幸

京都府相楽郡精華町光台3丁目5番地 京

セラ株式会社中央研究所内

Fターム(参考) 5J106 AA04 BB01 CC03 CC15 CC21

CC39 CC41 CC53 CC55 DD33

DD35 KK02 KK03 KK26 KK38

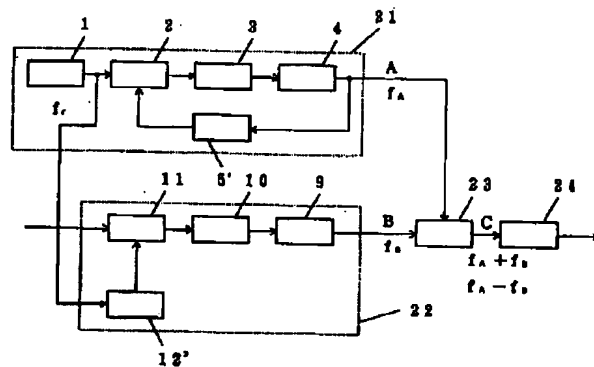
PP07 QQ08 QQ09 RR02 RR05

(54)【発明の名称】 周波数合成器

(57)【要約】

【課題】 周波数チャンネル切替え時間を短縮して切替え時間の高速化を図りつつ、高周波まで出力させることが困難であった。

【解決手段】 固定周波数 f_A の第1周波数信号Aを出力する、位相同期回路を用いた第1発振部21と、外部から入力される周波数設定データ信号に対応した可変周波数 f_B の第2周波数信号Bを第1周波数信号Aに同期して出力する、デジタルダイレクト発振器を用いた第2発振部22と、第1・第2周波数信号A・Bが入力され、固定周波数 f_A と可変周波数 f_B との和および差の周波数を有する混合周波数信号Cを出力する周波数混合器23と、混合周波数信号Cのうち和または差の周波数の一方を通過させる帯域通過フィルタ24とから成り、第1発振部21の基準周波数信号を用いて第2発振部22の同期をとるようにした周波数合成器である。チャンネル切替え時間を著しく短縮できるとともに高周波の出力が可能である。



【特許請求の範囲】

【請求項 1】 所定の固定周波数を有する第 1 周波数信号を出力する、位相同期回路を用いた第 1 発振部と、外部から入力される周波数設定データ信号に対応した可変周波数を有する第 2 周波数信号を前記第 1 周波数信号に同期して出力する、デジタルダイレクト発振器を用いた第 2 発振部と、前記第 1 周波数信号と前記第 2 周波数信号とが入力され、前記固定周波数と前記可変周波数との和および差の周波数を有する混合周波数信号を出力する周波数混合器と、前記混合周波数信号のうち前記固定周波数と前記可変周波数との和または差の周波数の一方を通過させる帯域通過フィルタとから成り、前記第 1 発振部が、制御端子電圧に応じて前記第 1 周波数信号を出力する電圧制御発振器と、前記第 1 周波数信号の一部が入力される分周器と、基準周波数の出力信号を発生する基準周波数信号発生器と、前記分周器の出力信号および前記基準周波数信号が入力されて両者の位相差に応じた出力信号を発生する位相比較器と、該位相比較器の出力信号を平滑化して前記電圧制御発振器の制御端子電圧として出力するループフィルタとから成るとともに、前記第 2 発振部が、前記基準周波数信号発生器の出力信号の一部が入力され、その信号に所定の増幅・乗倍・分周を行なってクロック信号を生成し出力するクロック生成器と、正弦波の瞬時値のデジタルデータが所定の順番で記憶されているメモリと、前記クロック信号および前記周波数設定データ信号が入力され、該周波数設定データ信号に対応する前記メモリに記憶された正弦波の瞬時値のデジタルデータを瞬時値信号として前記クロック信号に同期して出力する制御部と、前記瞬時値信号が入力され、該瞬時値信号に対応する正弦波から成る、前記可変周波数を有する前記第 2 周波数信号を出力するデジタル／アナログ変換器とから成ることを特徴とする周波数合成器。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は複数の周波数の信号を切り替えて送信受信を行なう無線通信装置に用いられる周波数合成器に関するものである。

【0002】

【従来の技術】 近年、携帯電話を初めとする携帯通信機器等の無線を利用した通信装置の発展が目覚ましく、利用者の数が急激に増大している。これらの無線通信装置

を使用する通信システムでは複数の無線通信装置で無線信号の送信受信を行なうために通常は周波数分割方式として使用周波数帯域を複数の周波数に分割したチャンネルが用意されており、そのような通信システムで使用される無線通信装置は他の無線通信装置により使用されているチャンネルを避けて未使用のチャンネルで送信受信を行なうように設計されている。また、最近では周波数分割方式に加え、送信受信の時間を区切って通信を行なう時分割方式も利用され始めている。

【0003】 そのため無線通信装置の無線部には使用周波数を切り替える回路が組み込まれており、最近ではその回路のほとんどが位相同期回路を用いた周波数合成器を使用している。

【0004】 図 3 はそのような位相同期回路を用いた従来の周波数合成器の構成を示すブロック図である。図 3 において、1 は基準となる周波数 f_r の出力 c を発生する基準周波数信号発生器である。2 は位相比較器、3 はループフィルタ、4 は電圧制御発振器、5 は可変分周器、6 は制御部である。

【0005】 位相比較器 2 は、基準周波数信号発生器 1 からの出力 c および可変分周器 5 からの出力 b の位相差に応じて、 H_i 状態・ L_o 状態・ H_i インピーダンス状態の 3 状態のいずれかの出力 d を発生する。ループフィルタ 3 は位相比較器 2 の出力側に接続され、位相比較器 2 の出力 d に含まれる高調波成分の除去と電圧の直流成分 V_c の保持を行ない、電圧制御発振器 4 の制御端子 T にその V_c を制御端子電圧として入力することにより、電圧制御発振器 4 の発振周波数 f を直接決定するとともに位相同期ループの応答特性を決定する。電圧制御発振器 4 はその制御端子 T に加えられた制御端子電圧 V_c に応じた周波数 f で発振してその周波数信号を出力する。可変分周器 5 は電圧制御発振器 4 の出力端子に接続され、その出力の周波数 f を制御部 6 からの分周数設定信号 a によって指定された分周数 N で分周して周波数 $f_p = f / N$ の出力 b を発生し、その出力 b が位相比較器 2 に入力される。制御部 6 は可変分周器 5 に接続され、可変分周器 5 の分周数 N を設定する分周数設定信号 a を発生する。

【0006】 以上のような構成の従来の周波数合成器において、出力 $a \sim d$ 、制御端子電圧 V_c 、周波数 $f_r \cdot f_p \cdot f$ の関係は次のようなものである。

【0007】 図 4 は位相比較器 2 に対する出力 c ・出力 b ・出力 d の各波形のタイミング図であり、可変分周器 5 の出力 b の周波数 f_p が基準周波数信号発生器 1 の出力 c の周波数 f_r に比べて低いとき、すなわち $f_r > f_p$ のときの位相比較器 2 の出力状態を示している。このときは同図に示すように、位相比較器 2 の出力 d は基準周波数信号発生器 1 の出力 c の立ち上がりで H_i 状態となり、可変分周器 5 の出力 b の立ち上がりでリセットされて H_i インピーダンス状態になる。

【0008】図5も位相比較器2に対する出力c・出力b・出力dの各波形のタイミング図であり、可変分周器5の出力bの周波数 f_p が基準周波数信号発生器1の出力cの周波数 f_r に比べて高いとき、すなわち $f_r < f_p$ のときの位相比較器2の出力状態を示している。このときは同図に示すように、位相比較器2の出力dは基準周波数信号発生器1の出力cの立ち上がりでL o状態となり、可変分周器5の出力dの立ち上がりでリセットされてH iインピーダンス状態になる。

【0009】また、図6は制御端子電圧 V_c に対する電圧制御発振器4の出力周波数 f の関係を示す電圧一周波数特性図であり、図7はチャンネル切替え時の制御端子電圧 V_c の過渡状態を示す時間応答波形図である。図6において横軸は制御端子電圧 V_c を、縦軸は出力周波数 f を表しており、Aは制御端子電圧 V_c に対する出力周波数 f の変化を示す特性曲線である。ここで V_1 はチャンネル切替え前の電圧、 V_2 はチャンネル切替え後の電圧、 f_1 はチャンネル切替え前の周波数、 f_2 はチャンネル切替え後の周波数を表しており、このように電圧 V_1 と V_2 との間の制御端子電圧 V_c により電圧制御発振器4の出力周波数 f は周波数 f_1 と f_2 との間で直線的に変化して制御される。

【0010】図7において横軸は時間を、縦軸は制御端子電圧 V_c を表しており、Bはチャンネル切替え開始時 T_0 からの制御端子電圧 V_c の変化を示す特性曲線である。

【0011】ここでは制御端子電圧 V_c が電圧 V_1 から V_2 へ変わる際の時間応答を示している。なお、制御端子電圧 V_c はループフィルタ3を構成するコンデンサ3aの両端の電位差の変化にほぼ等しいものとなる。

【0012】以上のように構成された位相同期回路を用いた従来の周波数合成器について、以下その動作を説明する。

【0013】まず、定常状態においては電圧制御発振器4はその制御端子電圧 V_c に従って図6に示す電圧一周波数特性に応じた周波数 f で発振を行なう。この電圧制御発振器4からの周波数 f の出力は可変分周器5に入力されてそこで $1/N$ に分周され、可変分周器5からの周波数 f_p ($= f/N$)の出力bが基準周波数信号発生器1からの出力cとともに位相比較器2に入力される。位相比較器2の出力dはこれら2つの入力の位相差に応じてH iインピーダンス状態・H i状態・L o状態の3状態のいずれかを示すが、定常状態では2つの入力の位相差はないので出力dはH iインピーダンス状態となる。その結果、ループフィルタ3のコンデンサ3aでは充放電は起きず、電圧制御発振器4への制御端子電圧 V_c は一定に維持され、電圧制御発振器4は一定の周波数 f で発振を行なう。

【0014】ここで、温度変化等の影響により電圧制御発振器4の出力の周波数 f が変化したときにおいては、

例えば電圧制御発振器4の出力周波数 f が低くなった場合は、可変分周器5の出力bの周波数 f_p も低くなり、その結果、周波数 f_p が基準周波数信号発生器1の出力cの周波数 f_r に比べて低くなると、位相比較器2の出力dは、図4に示すように、出力cの周波数 f_r の立ち上がりでH i状態となり、出力bの周波数 f_p の立ち上がりでリセットされてH iインピーダンス状態となる。また、このように出力dがH i状態の間にはループフィルタ3のコンデンサ3aが充電されて制御端子電圧 V_c が上昇する。そのため、電圧制御発振器4の発振周波数 f が制御端子電圧 V_c の上昇につれて元の出力周波数 f に向かって徐々に高くなり、周波数 f の変動分が抑圧されていく。

【0015】一方、電圧制御発振器4の出力周波数 f が高くなった場合は、可変分周器5の出力bの周波数 f_p も高くなり、その結果、周波数 f_p が基準周波数信号発生器1の出力cの周波数 f_r に比べて高くなると、位相比較器2の出力dは、図5に示すように、出力bの周波数 f_p の立ち上がりでL o状態となり、出力cの周波数 f_r の立ち上がりでリセットされてH iインピーダンス状態となる。また、このように出力dがL o状態の間にはループフィルタ3のコンデンサ3aが放電されて制御端子電圧 V_c が下降する。そのため、電圧制御発振器4の発振周波数 f が制御端子電圧 V_c の下降につれて元の出力周波数 f に向かって徐々に低くなり、周波数 f の変動分が抑圧されていく。

【0016】また、電圧制御発振器4の出力の周波数 f を変えるチャンネル切替え時には、まず制御部6よりチャンネル切替えのための分周数設定信号aが可変分周器5に入力され、可変分周器5ではその分周数設定信号aに従い分周数 N が変えられる。定常状態では可変分周器5の出力bの周波数 f_p と電圧制御発振器4の出力周波数 f と可変分周器5の分周数 N の間には $f_r = f/N$ の関係があり、低い周波数のチャンネルから高い周波数のチャンネルへ切り替えられるときは分周数 N が増やされて可変分周器5の出力bの周波数 f_p が低くなり、その結果、周波数 f_p が基準周波数信号発生器1の出力cの周波数 f_r に比べて低くなると、位相比較器2の出力dは、図4に示すように、出力cの周波数 f_r の立ち上がりでH i状態となり、出力bの周波数 f_p の立ち上がりでリセットされてH iインピーダンス状態となり、出力dがH i状態の間にはループフィルタ3のコンデンサ3aが充電されて制御端子電圧 V_c が上昇するため、電圧制御発振器4の発振周波数 f が制御端子電圧 V_c の上昇につれて高くなる。

【0017】他方、高い周波数のチャンネルから低い周波数のチャンネルへ切り替えられるときは分周数 N が減らされて可変分周器5の出力bの周波数 f_p が高くなり、その結果、周波数 f_p が基準周波数信号発生器1の出力cの周波数 f_r に比べて高くなると、位相比較器2

の出力dは、図5に示すように、出力bの周波数 f_p の立ち上がりでL_o状態となり、出力cの周波数 f_r の立ち上がりでリセットされてH_iインピーダンス状態となり、出力dがL_o状態の間にはループフィルタ3のコンデンサ3aが放電されて制御端子電圧 V_c が下降するため、電圧制御発振器4の発振周波数 f が制御端子電圧 V_c の下降につれて低くなる。このようにして電圧制御発振器4の発振周波数 f の切替えが行なわれる。

【0018】ここで、電圧制御発振器4の定常状態における発振周波数 f を、チャンネル切替え前を f_1 、チャンネル切替え後を f_2 とすると、図6に示したように、電圧制御発振器4のその時の制御端子電圧 V_c はそれぞれ $V_1 \cdot V_2$ である。このとき、チャンネル切替えに伴う制御端子電圧 V_c の時間変化波形は図7に示したようになり、この波形はループフィルタ3の時定数等によって決定する。

【0019】次に、チャンネル切替えの高速化を図った位相同期回路を用いた従来の周波数合成器について、図8を用いて説明する。図8は図3と同様に周波数合成器の構成を示すブロック図であり、図8において図3と同様の機能を有する箇所には同じ符号を付してある。

【0020】図8において7は制御部であり、分周数設定信号aに加えてチャンネル切替え時に切替えのためのフィルタ切替え信号eも出力する。8はフィルタ切替えスイッチであり、制御部7からのフィルタ切替え信号eに従ってスイッチのオン・オフを行ない、ループフィルタ3の時定数を変える働きをする。このように構成された位相同期回路を用いた周波数合成器では、チャンネル切替え時にフィルタ切替えスイッチをオンすることによりループフィルタ3の時定数を小さくし、チャンネル切替え時間の短縮を図っていた。

【0021】また次に、デジタルダイレクト発振器を用いた従来の周波数合成器について、図9を用いて説明する。図9はデジタルダイレクト発振器を用いた従来の周波数合成器の構成を示すブロック図である。図9において9はデジタル／アナログ変換器であり、ライト信号gに同期してデジタルのデータが入力され、入力されたデータに対応する決まったアナログ電位を出力する。10はメモリであり、0度から359.9度までの0.1度刻みの正弦波1サイクルの瞬時値のデータをアドレスの0番から3599番までに記憶しており、リード信号hに同期して入力されるアドレスのデータに従い、そのアドレスに記憶された瞬時値のデータがデジタルのデータとしてデジタル／アナログ変換器9に出力される。11は制御部、12は固定水晶発振器であり、制御部11には周波数設定データ信号iと固定水晶発振器12からのクロック信号とが入力され、メモリ10にリード信号hとアドレスのデータを、デジタル／アナログ変換器9にライト信号gを出力し、固定水晶発振器12は制御部11の動作タイミングの基となるクロック信号を発生する。

【0022】また、制御部11はその内部がさらに詳細にブロック図で示すような構成となっている。制御部11において、13は周波数設定データ信号iを制御部11内に取り込むインターフェイスである。14はバッファであり、制御部11内に取り込まれた周波数設定データ信号iを記憶保持し、後段に出力する。15は加算器であり、加算命令信号jに同期してバッファ14の出力と自らの出力値のアドレスデータを加算し、アドレスデータを出力する。16はタイミング発生回路であり、固定水晶発振器12から入力されたクロック信号を基に、ライト信号g・リード信号h・加算命令信号jを発生する。

【0023】以上のように構成されたデジタルダイレクト発振器を用いた従来の周波数合成器によれば、インターフェイス13を介して制御部11に入力された周波数設定データ信号iはバッファ14にて記録保持され、加算器15に出力される。加算器15では加算命令信号jが入力される度に自らの出力値とバッファ14から入力される周波数設定データ信号iを加算してアドレスデータとして出力する。例えば、加算器15の出力が1234、周波数設定データ信号iが100であれば、加算命令信号jが入力される毎にアドレスデータが1334・1434・1534…と100ずつインクリメントされていき、その値が3600を超えると3600が引かれるようになっている。メモリ10では制御部11から与えられたアドレスデータをデジタル／アナログ変換器9に出力し、デジタル／アナログ変換器9からは入力されたアドレスデータに対応する電位が出力される。上述のアドレスデータがメモリ10に入力された場合であれば、デジタル／アナログ変換器9からは正弦波133.4度・143.4度・153.4度の瞬時値が順次出力される。

【0024】このような構成の周波数合成器によれば、(周波数設定データ信号i/10)度毎の正弦波の瞬時値がクロック信号ごとに出力されることとなり、その結果、クロック周波数を f_c とすると $f_c / \{360 / (i / 10)\} = f_c \cdot i / 3600$ の周波数の正弦波が出力されることとなる。

【0025】なお、図10は図9に示した周波数合成器における各信号波形のタイミング図であり、タイミング発生回路16からの出力であるライト信号g・リード信号h・加算命令信号jやメモリ10に入出力されるデータの入出力のタイミングを示している。上記の例では、クロック信号が入力されるとまず加算命令信号jが出力され、加算器15の出力が確定した後にリード信号hが出力され、さらにメモリ10の出力データが確定した後にライト信号gが出力されることにより、デジタル／アナログ変換器9のアナログ電位出力が変化していることが分かる。

【0026】

【発明が解決しようとする課題】しかしながら、図3に示した構成の位相同期回路を用いた従来の周波数合成器

では、周波数の切替え時間がループフィルタ3の時定数によって左右され、時定数が小さいほど高速な切替えが可能であるが、時定数を小さくすると位相ノイズの増大・基準周波数成分のスプリアスの漏れ等が発生するため、切替え時間の高速化が妨げられるという問題点があった。

【0027】また、図8に示した構成の位相同期回路を用いた従来の周波数合成器では、ループフィルタ3の時定数を可変にして周波数の切替え時間の高速化を図っているが、フィルタ切替えスイッチの切替えの際に位相比較器2の負荷インピーダンスが変化するため、その影響で電圧制御発振器4の制御端子に加えられる制御電圧が変化してしまい、切替え時間の高速化が妨げられるという問題点があった。

【0028】また、図9に示した構成のデジタルダイレクト発振器を用いた従来の周波数合成器では、周波数の切替え時間は周波数設定データ信号iの書き込み時間のみであることから非常に高速であったが、ECL (Emitter Coupled Logic) 等の高速な素子を用いて回路を構成しても、その最大出力が100 MHz程度であるため、500 MHz以上の周波数を利用する無線通信機器には使用することができないという問題点があった。

【0029】本発明は上記問題点を解決すべく本発明者が鋭意研究に努めた結果完成されたものであり、その目的は、チャンネル切替え時間の短縮を図りつつ高周波まで出力が可能な、複数の周波数の信号を切り替えて送信受信を行なう無線通信装置に好適な周波数合成器を提供することにある。

【0030】

【課題を解決するための手段】本発明の周波数合成器は、所定の固定周波数を有する第1周波数信号を出力する、位相同期回路を用いた第1発振部と、外部から入力される周波数設定データ信号に対応した可変周波数を有する第2周波数信号を前記第1周波数信号に同期して出力する、デジタルダイレクト発振器を用いた第2発振部と、前記第1周波数信号と前記第2周波数信号とが入力され、前記固定周波数と前記可変周波数との和および差の周波数を有する混合周波数信号を出力する周波数混合器と、前記混合周波数信号のうち前記固定周波数と前記可変周波数との和または差の周波数の一方を通過させる帯域通過フィルタとから成り、前記第1発振部が、制御端子電圧に応じて前記第1周波数信号を出力する電圧制御発振器と、前記第1周波数信号の一部が入力される分周器と、基準周波数の出力信号を発生する基準周波数信号発生器と、前記分周器の出力信号および前記基準周波数信号が入力されて両者の位相差に応じた出力信号を発生する位相比較器と、該位相比較器の出力信号を平滑化して前記電圧制御発振器の制御端子電圧として出力するループフィルタとから成るとともに、前記第2発振部が、前記基準周波数信号発生器の出力信号の一部が入力

され、その信号に所定の増幅・通倍・分周を行なってクロック信号を生成し出力するクロック生成器と、正弦波の瞬時値のデジタルデータが所定の順番で記憶されているメモリと、前記クロック信号および前記周波数設定データ信号が入力され、該周波数設定データ信号に対応する前記メモリに記憶された正弦波の瞬時値のデジタルデータを瞬時値信号として前記クロック信号に同期して出力する制御部と、前記瞬時値信号が入力され、該瞬時値信号に対応する正弦波から成る、前記可変周波数を有する前記第2周波数信号を出力するデジタル/アナログ変換器とから成ることを特徴とするものである。

【0031】

【発明の実施の形態】以下、本発明の周波数合成器について図面を参照しながら説明する。

【0032】本発明の周波数合成器の実施の形態の一例を図1にブロック図で示す。なお、図1において従来の周波数合成器と同様の機能を有する箇所には同じ符号を付してある。

【0033】図1において21は位相同期回路を用いた第1発振部であり、所定の固定周波数 f_A を有する第1周波数信号Aを出力するものである。22はデジタルダイレクト発振器を用いた第2発振部であり、外部から入力される周波数設定データ信号に対応した可変周波数 f_B を有する第2周波数信号Bを第1周波数信号Aに同期して出力するものである。23は周波数混合器であり、第1発振部21からの第1周波数信号Aと第2発振部からの第2周波数信号Bとが入力され、第1周波数信号Aの固定周波数 f_A と第2周波数信号Bの可変周波数 f_B との和 $f_A + f_B$ および差 $f_A - f_B$ の周波数を有する混合周波数信号Cを出力するものである。24は帯域通過フィルタであり、周波数混合器23から入力される混合周波数信号Cのうち固定周波数 f_A と可変周波数 f_B との和 $f_A + f_B$ または差 $f_A - f_B$ の周波数の一方を通過させるものである。

【0034】位相同期回路を用いた第1発振部21は、図3に示した従来の周波数合成器とほぼ同様に、基準周波数信号発生器1・位相比較器2・ループフィルタ3・電圧制御発振器4および分周器5'により構成されており、この第1発振部21における分周器5'は電圧制御発振器4の出力の周波数 f を予め設定された所定の分周数 N で分周する。これにより、第1の発振部21からは基準周波数信号発生器1の周波数と分周器5'の分周数 N によって決められる所定の固定周波数 f_A を有する第1周波数信号Aが出力される。

【0035】デジタルダイレクト発振器を用いた第2発振部22は、図9に示した従来の周波数合成器とほぼ同様に、デジタル/アナログ変換器9・メモリ10・制御部11およびクロック生成器12'により構成されている。ここで、クロック生成器12'には第1発振部21の基準周波数信号発生器1の出力信号の一部が入力され、その入

力された信号に対して増幅・通倍・分周等を行ない、デジタルダイレクト発振器を用いた第2発振部22の動作タイミングを決めるための、制御部11のクロックとして適合するレベル・周期を持つクロック信号を生成し出力する。

【0036】このような構成の第2発振部22により、この周波数合成器に外部から制御部11を介して入力される周波数設定データ信号に基づいて、基準周波数信号発生器1の出力信号すなわち周波数 f_r の基準周波数信号を基に生成されたクロック信号に同期して正弦波の瞬時値のデータが記憶されたメモリ10のアクセスを行ない、その瞬時値のデータを瞬時値信号としてデジタル/アナログ変換器9にクロック信号に同期して入力することにより、その周波数設定データ信号に対応した可変周波数 f_B を有する第2周波数信号Bをクロック信号により動作タイミングを制御して出力する。

【0037】このような本発明の周波数合成器によれば、上記のように第1発振部21の基準周波数発生器1の出力信号である基準周波数信号の一部を第2発振部22を構成するクロック生成器12'に入力して、基準周波数信号を第2発振部22の動作タイミングを決めて同期をとるためのクロックとして利用するようにしたこと、温度変化に対して出力レベルと不要スプリアスの劣化がなくなつて安定に動作させることができるものとなつるとともに、従来のような固定水晶発振器12に代えてクロック発生器12'を用いたことによって周波数合成器の小型化が実現できるものとなる。

【0038】図1に示した本発明の周波数合成器において、周波数混合器23は、例えばトランスとダイオードから構成されるダブルバランスミキサにより構成され、第1発振部21からの第1周波数信号Aと第2発振部22からの第2周波数信号Bとが入力され、第1周波数信号Aの固定周波数 f_A と第2周波数信号Bの可変周波数 f_B との和 $f_A + f_B$ および差 $f_A - f_B$ の周波数を有する混合周波数信号Cを出力する。

【0039】また、帯域通過フィルタ24はその通過帯域が周波数混合器23から入力される混合周波数信号Cのうち固定周波数 f_A と可変周波数 f_B との和 $f_A + f_B$ または差 $f_A - f_B$ の周波数の一方を通過させるように設定され、これにより、周波数 $f_A + f_B$ または周波数 $f_A - f_B$ を有する信号が周波数合成器の出力信号として出力される。この帯域通過フィルタ24の通過帯域の設定は、例えばスプリアス構成を考慮した上で、和の周波数を通過させて差の周波数を除去する設定とし、あるいは差の周波数を通過させて和の周波数を除去する設定とすればよい。

【0040】以上により、本発明の周波数合成器によれば、第1発振部21はチャンネル切替えの必要がなく、また第2発振部22は第1発振部21の出力よりアップコンバートされているため高い周波数を作る必要がないことか

ら、両者の欠点を補い合つて高速動作可能な周波数合成器となる。従つて、位相同期回路を用いた周波数合成器に比べて位相比較器の出力特性やループフィルタの時定数に無関係に周波数の切替え時間を著しく短縮できるものとなる。

【0041】以上のような構成の本発明の周波数合成器における周波数配置の一例を図2に示す。図2において横軸は周波数を、縦軸は出力信号の出力電力を表し、 $f_A + f_B$ および $f_A - f_B$ はそれぞれ前述の固定周波数・可変周波数・それらの和および差を、各矢印はそれらの周波数における出力電力の大きさを表している。

【0042】このように固定周波数 f_A に対して可変周波数 f_B を周波数設定データ信号に対応して所定の帯域で変化させることにより、それらの和 $f_A + f_B$ および差 $f_A - f_B$ の周波数を所望の帯域で変化させることができる。そして、それらとまたは差の一方を帯域通過フィルタ24により通過させることで、本発明の周波数合成器からの出力信号となる。

【0043】例えば、固定周波数 f_A を1GHzとし、可変周波数 f_B を300MHz～400MHzとした場合、周波数混合器23の混合周波数信号Cの周波数は600MHz～700MHzおよび1300MHz～1400MHzとなる。そして、帯域通過フィルタ24の通過帯域を600MHz～700MHzか1300MHz～1400MHzかのいずれかに設定することにより、いずれか一方の周波数帯域の出力信号を取り出すことができる。

【0044】

【発明の効果】本発明の周波数合成器によれば、位相同期回路を用いた第1発振部により所定の固定周波数を有する第1周波数信号を出力し、外部から入力される周波数設定データ信号に対応して周波数を高速に切り替えることができるデジタルダイレクト発振器を用いた第2発振部により可変周波数を有する第2周波数信号を出力して、それら第1周波数信号と第2周波数信号とを周波数混合器により混合して固定周波数と可変周波数との和または差の周波数の一方を帯域通過フィルタによって取り出すことから、デジタルダイレクト発振器を用いた従来の周波数合成器に比べてより高周波の出力が可能となり、また、デジタルダイレクト発振器へのデータ書き込みの時間のみで周波数の切替えが可能であるため、位相同期回路を用いた周波数合成器に比べて位相比較器の出力特性やループフィルタの時定数に無関係に周波数の切替え時間を著しく短縮することが可能となった。

【0045】また、デジタルダイレクト発振器を用いた第2発振部による可変周波数を有する第2周波数信号を、位相同期回路を用いた第1発振部を構成する基準周波数発生器の出力信号である基準周波数信号に同期して出力するようにしたこと、温度変化に対して出力レベルと不要スプリアスの劣化がなくなり、周波数合成器

を安定に動作させることが可能となった。

【0046】さらに、第2周波数信号を第1周波数信号に同期して出力するための構成として、前述のクロック生成器と制御部とメモリとディジタル／アナログ変換器とから成る構成としたことから、従来のように固定水晶発振器に代えてクロック生成器を用いたことにより、周波数合成器の小型化が実現できるものとなった。

【0047】以上により本発明によれば、チャンネル切替え時間の短縮を図りつつ高周波まで出力が可能で、複数の周波数の信号を切り替えて送信受信を行なう無線通信装置に好適な周波数合成器を提供することができた。

【図面の簡単な説明】

【図1】本発明の周波数合成器の実施の形態の一例を示すブロック図である。

【図2】本発明の周波数合成器における周波数配置の一例を示す線図である。

【図3】位相同期回路を用いた従来の周波数合成器の構成を示すブロック図である。

【図4】図3の周波数合成器において出力bの周波数 f_p が出力cの周波数 f_r に比べて低いときの位相比較器に対する出力c・出力b・出力dの各波形のタイミング図である。

【図5】図3の周波数合成器において出力bの周波数 f_p が出力cの周波数 f_r に比べて高いときの位相比較器に対する出力c・出力b・出力dの各波形のタイミング図である。

【図6】図3の周波数合成器における制御端子電圧 V_c に対する電圧制御発振器4の出力周波数 f の関係を示す電圧一周波数特性図である。

【図7】図3の周波数合成器におけるチャンネル切替え

時の制御端子電圧 V_c の過渡状態を示す時間応答波形図である。

【図8】チャンネル切替えの高速化を図った位相同期回路を用いた従来の周波数合成器の構成を示すブロック図である。

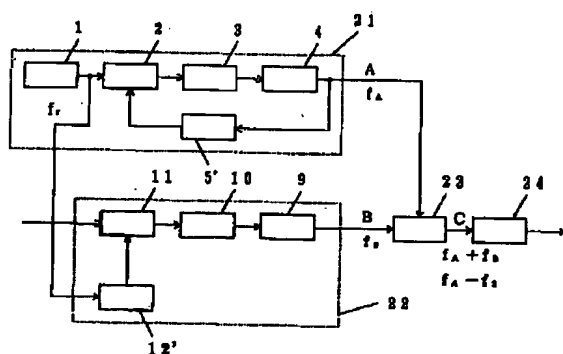
【図9】ディジタルダイレクト発振器を用いた従来の周波数合成器の構成を示すブロック図である。

【図10】図9に示した周波数合成器における各信号波形のタイミング図である。

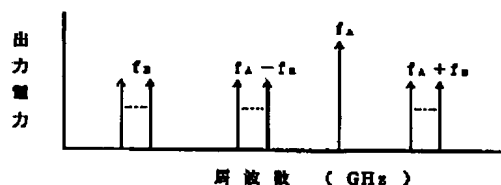
【符号の説明】

- 21・・・第1発振部
- 1・・・基準周波数信号発生器
- 2・・・位相比較器
- 3・・・ループフィルタ
- 4・・・電圧制御発振器
- 5'・・・分周器
- 22・・・第2発振部
- 9・・・ディジタル／アナログ変換器
- 10・・・メモリ
- 11・・・制御部
- 12'・・・クロック生成器
- 23・・・周波数混合器
- 24・・・帯域通過フィルタ
- f_A ・・・固定周波数
- f_B ・・・可変周波数
- f_r ・・・基準周波数
- A・・・第1周波数信号
- B・・・第2周波数信号
- C・・・混合周波数信号

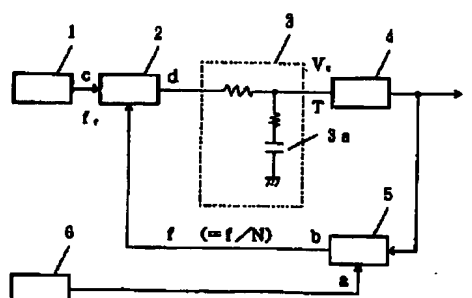
【図1】



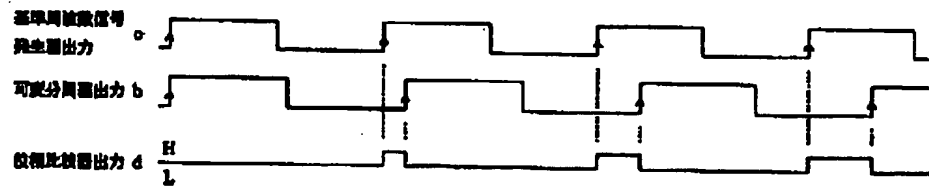
【図2】



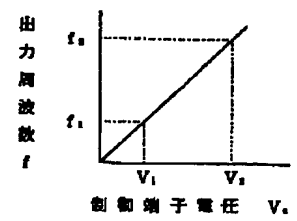
【図3】



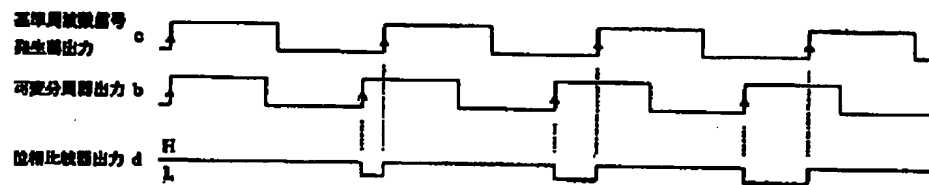
【図4】



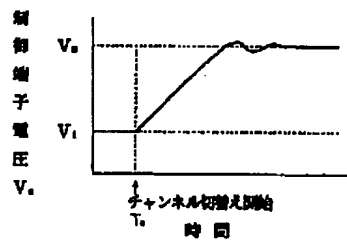
【図6】



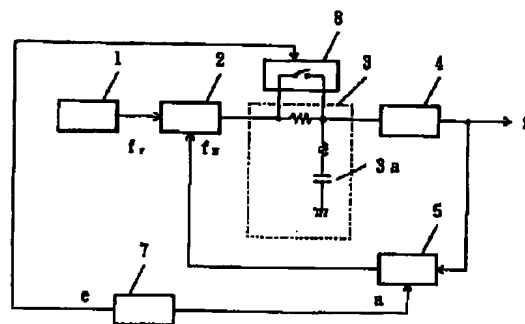
【図5】



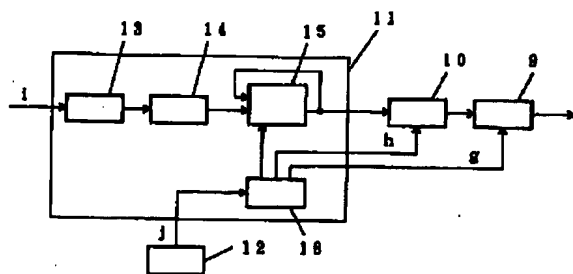
【図7】



【図8】



【図9】



【図10】

